

PAT-NO: JP404329332A
DOCUMENT-IDENTIFIER: JP 04329332 A
TITLE: INSPECTING METHOD AND INSPECTING
DEVICE FOR TFT PICTURE
ELEMENT ON LCD SUBSTRATE
PUBN-DATE: November 18, 1992

INVENTOR- INFORMATION:

NAME
YAMAGUCHI, YUJI

ASSIGNEE- INFORMATION:

NAME	COUNTRY
KK ADOTETSUKU ENG	N/A

APPL-NO: JP03126829

APPL-DATE: April 30, 1991

INT-CL (IPC): G01M011/00, G01R031/26, G02F001/13,
G02F001/136, G09G003/36
, H04N017/04

ABSTRACT:

PURPOSE: To inspect the quality of a large quantity of picture elements quickly and surely by changing the voltage applied to drains of multiple TFTs on an LCD substrate, adding on-signals to gates, measuring the changed drain currents, and comparing two measured drain currents of the TFTs.

CONSTITUTION: TFTs 51 are formed on picture elements formed into a matrix shape on an LCD substrate 50 to be inspected, and drain

electrodes 52 and gate electrodes 53 are horizontally and vertically arranged. For inspection, on-voltage is applied to each gate in sequence, each drain current is voltage-detected 3 and stored 6 after the preset time, on-voltage is applied to the gate while the drain voltage is kept 0V, each drain current is detected 3 and stored 6 after the preset time, and the difference between two stored detection drain currents is calculated. This value is large if the TFT 51, picture element electrode 54 and auxiliary capacity electrode 55 have good quality, it is small if they have inferior quality, thus the quality can be judged based on the difference.

COPYRIGHT: (C)1992,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-329332

(43)公開日 平成4年(1992)11月18日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 01 M 11/00		T 8204-2G		
G 01 R 31/26		A 8411-2G		
G 02 F 1/13	1 0 1	8806-2K		
	1/136	5 0 0	9018-2K	
G 09 G 3/36			7926-5G	

審査請求 未請求 請求項の数2(全4頁) 最終頁に続く

(21)出願番号 特願平3-126829

(22)出願日 平成3年(1991)4月30日

(71)出願人 000126746

株式会社アドテックエンジニアリング
東京都品川区南大井6丁目25番14号

(72)発明者 山口雄二

東京都品川区南大井6丁目25番14号 株式
会社アドテックエンジニアリング内

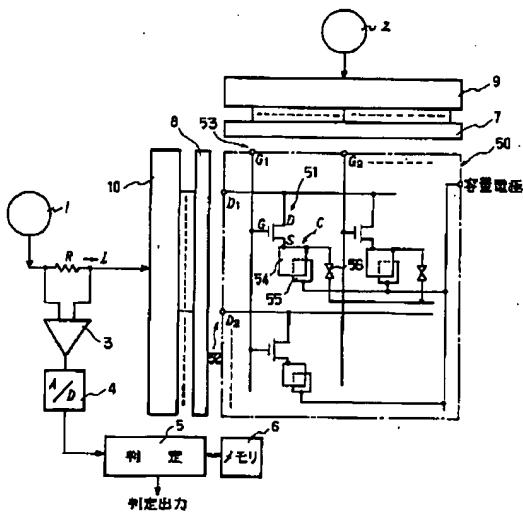
(74)代理人 弁理士 高橋清

(54)【発明の名称】LCD基板上のTFT画素の検査方法及び検査装置

(57)【要約】

【目的】LCD基板上の複数のTFT画素の良否を非接触で検査する。

【構成】LCD基板上の複数のTFTの各ドレインに電圧を加えておき、各ゲートにオン信号を加えて、この時の各ドレイン電流を測定する。次に該複数のTFTの各ドレイン電圧を該電圧から変化させて、各ゲートにオン信号を加え、この時の各ドレイン電流を測定する。前記各TFTにおける2つの各測定ドレイン電流を比較することにより各TFT画素の良否を判定する。



1

2

【特許請求の範囲】

【請求項1】 LCD基板上の複数のTFTの各ドレインに電圧を加えておき、各ゲートにオン信号を加えて、この時の各ドレイン電流を測定し且つ該各ドレイン電流を記憶し、次に該複数のTFTの各ドレイン電圧を該電圧から変化させて、各ゲートにオン信号を加え、この時の各ドレイン電流を測定し且つ該各ドレイン電流を記憶し、前記各TFTにおける2つの各測定ドレイン電流を比較することにより各TFT画素の良否を判定する、ことを特徴とするLCD基板上のTFT画素の検査方法。

【請求項2】 LCD基板上の複数のTFTの各ドレインに電圧を加え、この状態で各ゲートにオン信号を加え、次に該複数のTFTの各ドレイン電圧を該電圧から変化させ、この状態で各ゲートにオン信号を加える手段と、前記ドレイン電圧に前記電圧を加えた時と変化させた時の各TFTの各ドレイン電流を検出する手段と、該検出した各ドレイン電流を記憶する手段と、該記憶された各TFTにおける2つの測定ドレイン電流を比較することにより各TFT画素の良否を判定する手段と、を備えたことを特徴とするLCD基板上のTFT画素の検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はLCD基板上のTFT画素の検査方法及び検査装置に関する。

【0002】

【従来の技術】 近年LCD基板は種々の電子機器の表示装置として広く利用されている。このLCD基板は通常ガラス基板に液晶の画素と回路パターンを形成している。液晶テレビ特にカラー液晶テレビ等においては液晶の応答速度を速くし且つその画質を向上させるために、各液晶画素毎にTFT(薄膜トランジスタ)を形成したLCD基板を用いるのが普通である。この方式はTFTのソース側にキャパシタンスを形成しておき、該キャパシタンスにより液晶に印加する電圧を保持するように構成している。

【0003】

【発明が解決しようとする課題】 このようなLCD基板の良否の検査は製品の品質を維持する上で非常に重要であり、特にTFTの特性の良否がLCD基板の品質を決定している。しかし従来は基板段階におけるテストはパターンのオープンショートのみしか行っておらず、画素の良否は実際に基板に液晶を封入して点灯してチェックする方法が採られていた。しかしながら基板段階で画素の良否が判定できれば、実際に点灯してチェックする必要がなく、また不良画素の修理も可能になるため、大量にしかも速く確実にLCD基板のTFT画素の良否の検査を行う方法及び装置が望まれていた。

【0004】

【課題を解決するための手段】 上記要望に応えるために

10

【0005】

本発明の方法は、LCD基板上の複数のTFTの各ドレインに電圧を加えておき、各ゲートにオン信号を加えて、この時の各ドレイン電流を測定し且つ該各ドレイン電流を記憶し、次に該複数のTFTの各ドレイン電圧を該電圧から変化させて、各ゲートにオン信号を加え、この時の各ドレイン電流を測定し且つ該各ドレイン電流を記憶し、前記各TFTにおける2つの各測定ドレイン電流を比較することにより各TFT画素の良否を判定することを特徴とする。

20

【実施例】 以下本発明を図面に示す実施例に基づいて説明する。図1において、被検査対象であるLCD基板50には画素がマトリクス状に形成され、各画素にTFT51が形成されている。TFT51はそのゲート側がゲート電極53に接続し、ドレイン側がドレイン電極52に接続されている。ドレイン電極52とゲート電極53はLCD基板50の縁に縦横に配設されている。各TFT51のソース側には画素電極54と補助容量電極55から成るキャパシタンスCが形成されており、このキャパシタンスCにより液晶56に電圧が掛けられるように構成されている。パルス発振器1は所定周期のパルス電圧をドレイン電極52に供給し、パルス発振器2は所定周期のパルス電圧をゲート電極53に供給するように構成されている。パルス発振器1から出力されるパルスは図2に示すように長いパルス幅を有しており、このパルス発振器1からのパルスがオン又はオフの間に、パルス発振器2からゲート電極53をG1からGnまで順次オンとするパルスを供給するようになっている。パルス発振器1からのパルス電圧は抵抗Rを介してドレイン電極52に供給され、TFT51のドレイン電流をこの抵抗Rの電圧として検出するようになっている。図2に示すようにパルス発振器1からのパルスがオンの時にパルス発振器2からのパルスによりゲート電極53がオンになると、正の方向にドレイン電流が流れ、これが検出ドレイン電流61aとして検出される。一方パルス発振器1からのパルスがオフでドレイン電圧がゼロの時には逆方向にドレイン電流が流れ、これが検出電流61bとして検出され、各TFT51毎の2つの検出電流61a,bを比較することによりTFT画素の良否を判定するように構成している。この実施例ではドレイン電極52とゲート電極53にコネクタ7とコネクタ8を接続し、スイッチング装置10によりドレイン電極52をオンオフ制御すると共にスイッチング装置9によりゲート電極53を走査して、該電極に図2に示すように順次パルスを供給し、各TFT51の特性を順次測定するように構成している。スイッチング装置9及びスイッチング装置10としては通常のリレースイッチやマルチブレクサ等の電子スイッチを用いることが可能である。抵抗Rには電圧検出器3が接続され、電圧検出器3の出力はA/D変換器4を介して演算処理装置5に入力されて、ここで前記し

た様にTFT51及び画素電極54と補助容量電極55の良否が判定されるように構成されている。即ち、検出ドレイン電流61a/bをメモリ6に記憶しておき、ここから各TFT51の検出ドレイン電流61a/bを読みだし、両者を比較することにより良否の判定を行うようになっている。

【0006】上記構成において、パルス発振器1からスイッチング装置10、コネクタ8を介してドレイン電極52からドレイン電圧が所定時間供給されると、ドレイン電圧が加えられた瞬間ドレインパターンとコモン端子の間の容量により図2に示すように電流60aが流れる。このドレイン電圧がある間パルス発振器2から短いパルス（この例では $100\mu\text{sec}$ ）が出力され、スイッチング装置9により各ゲートGnに順次ゲート電圧が供給される。ゲートがオンになると、そのTFT51のドレインソース間に電流が流れ、キャパシタンスCが充電される。この時のドレイン電流を図2に示すように検出ドレイン電流61aとし、抵抗Rの電圧として電圧検出器3で検出する。この値はA/D変換器4によりデジタル量に変換され、演算処理装置5を介してメモリ6に記憶される。この動作をゲートG1からゲートGnまで繰り返す。次に図2に示すようにパルス発振器1からのドレイン電圧を0Vにするとドレインパターンに充電されていた電荷が放電され、これが電流60bとして観測される。放電が完了した後ドレイン電圧がゼロの時に、パルス発振器1からのゲート電圧をオンとすると、TFT51のキャパシタンスCに充電された電荷が放電されてTFT51のソースからドレイン、抵抗R方向に逆方向のドレイン電流が流れる。これを検出ドレイン電流61bとして電圧検出器3により検出し、演算処理装置5を介してメモリ6に記憶される。この動作も同様にゲートG1からGnまで繰り返す。

【0007】検出ドレイン電流61aと検出ドレイン電流61bは夫々、ゲートとドレイン間及びゲートパターンとドレインパターン間の漏れ電流を含んでおり、検出ドレイン電流61aとbの差を探ることによりこの漏れ電流を除去することができる。いまゲートオンの時の漏れ電流を i_e とし、実際にTFT51オンによりキャパシタンスCを流れる電流を i_c とすると、検出ドレイン電流 $61a = i_e - i_c$ となる。一方TFT51オンによりキャパシタンスCに蓄えられた電荷の放電電流を i_d とすると、検出ドレイン電流 $61b = i_e + i_d$ となる。したがって検出ドレイン電流 $61a$ と b の差は $i_c + i_d$ となり、漏れ電流 i_e の影響は取り除かれる。TFT51及び画素電極54、補助容量電極55が正常であるなら、キャパシタンスCへの充放電が正常に行われるから、図3に示すようにその差は大きくなる。逆に異常であれば、図4に示すように差は小さくなる。この実施例では演算処理装置5において該検出ドレイン電流 $61a$ と b のゲートオン信号印加後の所定時刻における瞬

時値の差を求めており、この差が所定以上か否かによりTFT51及び画素電極54、補助容量電極55の良否の判定を行っている。

【0008】次に測定の手順を説明する。まずドレイン電圧を0Vにしてゲートにオン電圧を加えて放電させ、画素電極54と補助容量電極55に充電されているかもしれない電荷を取り除く。そして、ドレイン電圧を加えて、まずパターンの浮遊容量の充電を行い、これが終了したら各ゲートに順次オン電圧を加えて、所定時間後に各ドレイン電流を電圧検出器3により検出する。該所定時間はゲートの漏れ電流が小さくなり且つ充電電流が小さくなっている時間とし、これはTFT51の特性或はLCD基板50のサイズ、パターン特性により決定されるが、約 $10\mu\text{sec} \sim 40\mu\text{sec}$ である。この電圧検出器3で検出した各信号をホールドしてA/D変換器4によりデジタル量に変換し、演算処理装置5を介してメモリ6に記憶させる。この値は上記した検出ドレイン電流 $61a = i_e - i_c$ である。次にドレイン電圧を0Vにして、ドレインパターン等に蓄積されていた電荷を取り除き、0Vのままでゲートにオン電圧を加える。そして、上記した所定時間と同じ時間後に電圧検出器3により各ドレイン電流を検出する。この値を同様にメモリ6に記憶する。この値は上記した検出ドレイン電流 $61b = i_e + i_d$ である。そして演算処理装置5において検出ドレイン電流 $61a$ と $61b$ の差を算出し、 $i_c + i_d$ の値を得る。この値はTFT51と画素電極54、補助容量電極55が良品であれば大きく、不良品であれば小さいから、該差により良不良の判定が可能になる。

【0009】以上説明したように本発明の検査方法によれば、LCD基板50の内部パターンに接触することなく、確実にTFT51及び画素電極54、補助容量電極55の良否の判定を行える。またスイッチング装置9を用いて、順次各ゲートをオンとすることにより、高速で検査を行うことが可能になる。

【0010】

【発明の効果】以上説明したように本発明の検査方法によれば、非接触でTFT画素の良否の判定を確実にしかも高速で行える効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図。

【図2】本発明の一実施例の動作説明図。

【図3】本発明の検査方法の説明図。

【図4】本発明の検査方法の説明図。

【符号の説明】

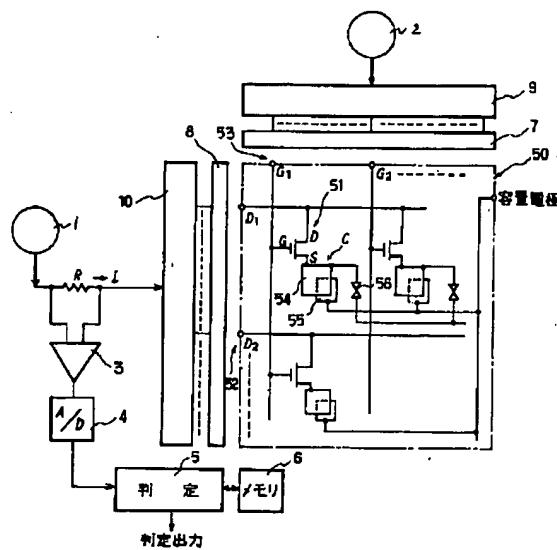
1：パルス発振器、2：パルス発振器、3：電圧検出器、4：A/D変換器、5：演算処理装置、6：メモリ、7：コネクタ、8：コネクタ、9：スイッチング装置、10：スイッチング装置、50：LCD基板、51：TFT、52：ドレイン電極、53：ゲート電極、54：画素電極、55：補助容量電極、56：液晶、6

5

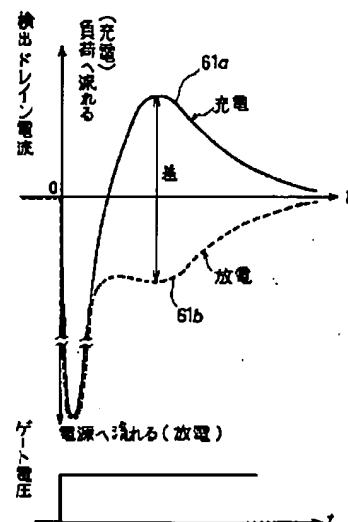
0:電流、61:検出ドレイン電流。

6

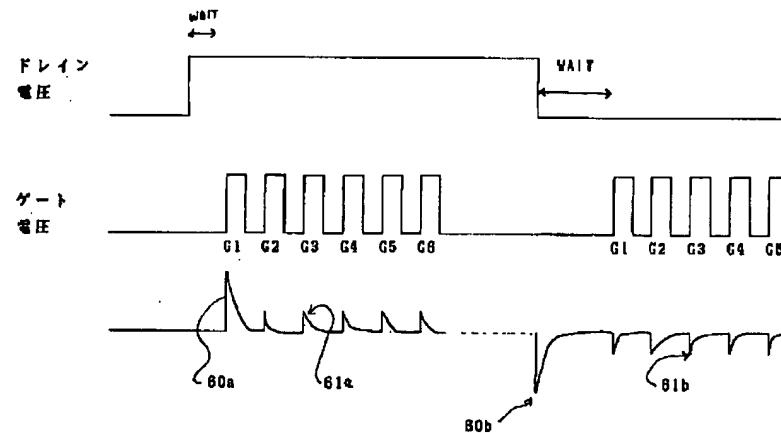
【図1】



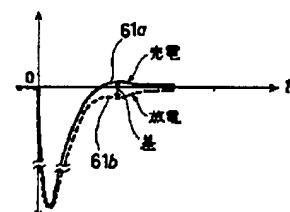
【図3】



【図2】



【図4】



フロントページの続き

(51) Int.CI.⁵

H 04 N 17/04

識別記号 庁内整理番号

L 8839-5C

F I

技術表示箇所